

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-285161

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H04B 7/08  
H01Q 3/26  
H04B 7/06  
H04B 7/10  
H04J 3/00  
H04J 15/00  
H04L 27/34  
H04L 27/22

(21)Application number : 2000-100565

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 03.04.2000

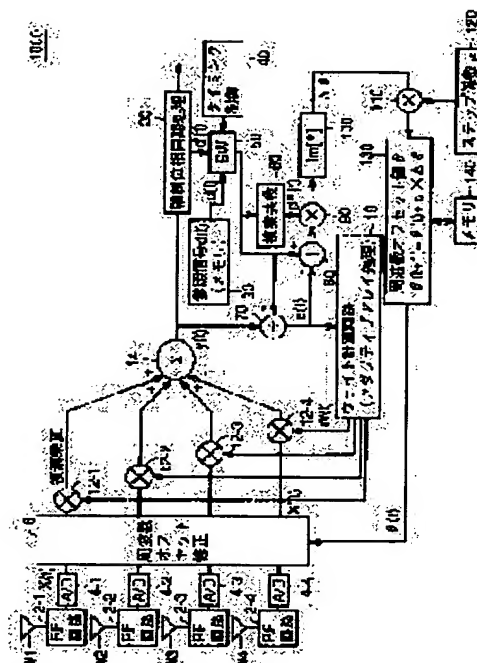
(72)Inventor : DOI YOSHIHARU  
MIYATA TAKEO

## (54) RADIO EQUIPMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a radio equipment an adaptive array radio base station that can realize a stable reception characteristic by compensating a frequency offset.

**SOLUTION:** A frequency offset correction section 6 gives a frequency offset to a received signal vector  $X(t)$  from array antennas #1-#4 and applies adaptive array processing to the resulting vector. An error signal  $e(t)$  is referenced on the basis of an output signal  $y(t)$  of an adaptive array and a reference signal  $d(t)$  stored in a memory 30 for a reference signal period or a replica signal  $d'(t)$  outputted from a forced phase synchronization processing section 20 for a period when no reference signal exists, and an offset extract section 100 extracts a frequency offset  $\Delta\theta$ . An offset compensation value calculation section 130 updates an offset compensation value  $\theta(t)$  on the basis of the extracted offset  $\Delta\theta$ .



## LEGAL STATUS

[Date of request for examination] 21.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3505468

[Date of registration] 19.12.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## 【特許請求の範囲】

【請求項 1】 複数のアンテナを含むアレイアンテナと、  
前記複数のアンテナからの信号を受けて所定の端末からの信号を抽出するためのアダプティブアレイ処理手段とを備え、

前記アダプティブアレイ処理手段は、与えられたオフセット補償量に応じて、受信信号の周波数オフセットを補償するための周波数オフセット補償手段を含み、

前記アダプティブアレイ処理手段の出力を受けて、所定のタイミングで周波数オフセットを抽出するためのオフセット量検知手段と、

前記オフセット量検知手段の検知結果に基づいて、前記オフセット補償量を更新するオフセット補償量演算手段とをさらに備える、無線装置。

【請求項 2】 前記受信信号は、複数のスロットに分割されて伝送され、

各前記スロットは、

予め定められた参照信号を含む第 1 の部分信号と、

伝送されるデータを含む第 2 の部分信号とを含み、

前記オフセット量検知手段は、

前記参照信号を保持するための第 1 の記憶手段と、

前記アダプティブアレイ処理手段からの出力の位相を所定の位相に強制的に同期させる強制位相同期手段と、

前記第 1 の部分信号が前記アダプティブアレイ処理手段から出力される期間は、前記第 1 の記憶手段に保持された参照信号と前記アダプティブアレイ処理手段から出力との差を出力し、前記第 2 の部分信号が前記アダプティブアレイ処理手段から出力される期間は、前記強制位相同期手段の出力と前記アダプティブアレイ処理手段から出力との差を出力する誤差信号生成手段と、  
前記誤差信号生成手段の出力に基づいて、前記周波数オフセットを抽出するためのオフセット抽出手段とを含む、請求項 1 記載の無線装置。

【請求項 3】 前記オフセット補償量演算手段は、前記オフセット補償量を随時格納するための第 2 の記憶手段と、

所定の係数を  $\mu$  とするとき、前記第 2 の記憶手段中に格納されたオフセット補償量  $\theta$  と前記オフセット抽出手段の出力  $\Delta\theta$  とに基づいて、前記オフセット補償量の更新値  $\theta'$  を、

$$\theta' = \theta + \mu \times \Delta\theta$$

として算出する算出手段とを含む、請求項 2 記載の無線装置。

【請求項 4】 前記オフセット補償量演算手段は、前記オフセット補償量を随時格納するための第 2 の記憶手段と、

前記オフセット補償量の更新値  $\theta'$  を、更新が進むに従って更新にあたって変更される量を減少させるようにして、前記第 2 の記憶手段中に格納されたオフセット補償

量  $\theta$  と前記オフセット抽出手段の出力  $\Delta\theta$  とに基づいて算出する算出手段とを含む、請求項 2 記載の無線装置。

【請求項 5】 前記オフセット補償量演算手段は、受信エラーを検出するためのエラー検出手段をさらに含み、

前記算出手段は、

1 未満の所定の正係数を  $\lambda$ 、係数  $\mu$  の初期値を  $\mu_0$  とするとき、受信エラーが検出されない更新機会の回数に対応する値を  $T$  とし、前記記憶手段中に格納されたオフセット補償量  $\theta$  と前記オフセット抽出手段の出力  $\Delta\theta$  とに基づいて、前記オフセット補償量の更新値  $\theta'$  を、

$$\theta' = \theta + (\mu_0 \times \lambda^T) \times \Delta\theta$$

として算出する、請求項 4 記載の無線装置。

【請求項 6】 前記算出手段は、

前記オフセット補償量の更新処理を複数フレームごとに行なう、請求項 4 記載の無線装置。

【請求項 7】 前記オフセット補償量演算手段は、

前記オフセット補償量を随時格納するための第 2 の記憶手段と、

前記オフセット補償量の更新値  $\theta'$  を、更新にあたって変更される量を前記誤差信号生成手段の出力の絶対値の大きさに応じて増加させるようにして、前記第 2 の記憶手段中に格納されたオフセット補償量  $\theta$  と前記オフセット抽出手段の出力  $\Delta\theta$  とに基づいて算出する算出手段とを含む、請求項 2 記載の無線装置。

【請求項 8】 前記オフセット補償量演算手段は、

前記オフセット補償量を随時格納するための第 2 の記憶手段と、

所定の係数を  $\mu$  とするとき、前記第 2 の記憶手段中に格納されたオフセット補償量  $\theta$  と前記オフセット抽出手段の出力  $\Delta\theta$  とに基づいて、前記オフセット補償量の更新値  $\theta'$  を、

i) 前記第 1 の部分信号が前記アダプティブアレイ処理手段から出力される期間は、更新にあたって変更される量を前記誤差信号生成手段の出力の絶対値の大きさに応じて増加させるようにして、前記第 2 の記憶手段中に格納されたオフセット補償量  $\theta$  と前記オフセット抽出手段の出力  $\Delta\theta$  とに基づいて算出し、

ii) 前記第 2 の部分信号が前記アダプティブアレイ処理手段から出力される期間は、

$$\theta' = \theta + \mu \times \Delta\theta$$

として算出する算出手段とを含む、請求項 2 記載の無線装置。

【請求項 9】 前記受信信号は、複数のスロットに分割されて伝送され、

各前記スロットは、

予め定められた参照信号を含む第 1 の部分信号と、

伝送されるデータを含む第 2 の部分信号とを含み、

前記オフセット量検知手段は、

前記アダプティブアレイ処理手段からの出力の位相を所

定の位相に強制的に同期させる強制位相同期手段と、前記第2の部分信号が前記アダプティブアレイ処理手段から出力される期間において、前記強制位相同期手段の出力と前記アダプティブアレイ処理手段から出力との差を出力する誤差信号生成手段と、前記誤差信号生成手段の出力に基づいて、前記周波数オフセットを抽出するためのオフセット抽出手段とを含む、請求項1記載の無線装置。

【請求項10】 前記オフセット補償量演算手段は、前記オフセット補償量を随時格納するための第2の記憶手段と、所定の係数を $\mu$ とすると、前記第2の記憶手段中に格納されたオフセット補償量 $\theta$ と前記オフセット抽出手段の出力 $\Delta\theta$ とに基づいて、前記オフセット補償量の更新値 $\theta'$ を、
$$\theta' = \theta + \mu \times \Delta\theta$$
として算出する算出手段とを含む、請求項9記載の無線装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、携帯電話等の無線通信において、基地局に用いられる無線装置の構成に関し、より特定的には、基地局における無線装置の周波数オフセットの補償制御の構成に関する。

##### 【0002】

【従来の技術】 近年、急速に発達しつつある携帯型電話機のような移動通信システムにおいて、周波数の有効利用を図るべく種々の伝送チャネル割当方法が提案されており、その一部のものは実用化されている。

【0003】 図12は周波数分割多重接続（Frequency Division Multiple Access：FDMA）、時分割多重接続（Time Division Multiple Access：TDMA）および空間多重分割接続（Spatial Division Multiple Access：SDMA）の各種の通信システムにおけるチャネルの配置図である。

【0004】 なお、SDMA方式は、また、PDMA方式（Path Division Multiple Access）とも呼ばれる。

【0005】 まず、図12を参照して、FDMA、TDMAおよびSDMAについて簡単に説明する。図12

(a)はFDMAを示す図であって、異なる周波数 $f_1 \sim f_4$ の電波でユーザ1～4のアナログ信号が周波数分割されて伝送され、各ユーザ1～4の信号は周波数フィルタによって分離される。

【0006】 図12(b)に示すTDMAにおいては、各ユーザのデジタル化された信号が、異なる周波数 $f_1 \sim f_4$ の電波で、かつ一定の時間（タイムスロット）ごとに時分割されて伝送され、各ユーザの信号は周波数フィルタと基地局および各ユーザ移動端末装置間の時間同期により分離される。

【0007】 一方、最近では、携帯型電話機の普及によ

り電波の周波数利用効率を高めるために、SDMA方式が提案されている。このSDMA方式は、図12(c)に示すように、同じ周波数における1つのタイムスロットを空間的に分割して複数のユーザのデータを伝送するものである。このSDMAでは各ユーザの信号は周波数フィルタと基地局および各ユーザ移動端末装置間の時間同期とアダプティブアレイなどの相互干渉除去装置とを用いて分離される。

【0008】 図13は、従来のSDMA用基地局の送受信システム2000の構成を示す概略ブロック図である。

【0009】 図13に示した構成においては、ユーザPS1とPS2とを識別するために、4本のアンテナ#1～#4が設けられている。

【0010】 受信動作においては、アンテナの出力は、RF回路2101に与えられ、RF回路2101において、受信アンプで増幅され、局部発振信号によって周波数変換された後、フィルタで不要な周波数信号が除去され、A/D変換されて、デジタル信号としてデジタルシグナルプロセッサ2102に与えられる。

【0011】 デジタルシグナルプロセッサ2102には、チャネル割当基準計算機2103と、チャネル割当装置2104と、アダプティブアレイ2100とが設けられている。チャネル割当基準計算機2103は、2人のユーザからの信号がアダプティブアレイによって分離可能かどうかを予め計算する。その計算結果に応じて、チャネル割当装置2104は、周波数と時間とを選択するユーザ情報を含むチャネル割当情報をアダプティブアレイ2100に与える。アダプティブアレイ2100は、チャネル割当情報に基づいて、4つのアンテナ#1～#4からの信号に対して、リアルタイムに重み付け演算を行なうことで、特定のユーザの信号のみを分離する。

【0012】 [アダプティブアレイアンテナの構成] 図14は、アダプティブアレイ2100のうち、1人のユーザに対応する送受信部2100aの構成を示すブロック図である。図14に示した例においては、複数のユーザ信号を含む入力信号から希望するユーザの信号を抽出するため、n個の入力ポート2020-1～2020-nが設けられている。

【0013】 各入力ポート2020-1～2020-nに入力された信号が、スイッチ回路2010-1～2010-nを介して、ウエイトベクトル制御部2011と乗算器2012-1～2012-nとに与えられる。

【0014】 ウエイトベクトル制御部2011は、入力信号と予めメモリ2014に記憶されている特定のユーザの信号に対応したトレーニング信号と加算器2013の出力とを用いて、ウエイトベクトル $w_{11} \sim w_{n1}$ を計算する。ここで、添字iは、i番目のユーザとの間の送受信に用いられるウエイトベクトルであることを示す。

【0015】乗算器2012-1~2012-nは、各入力ポート2020-1~2020-nからの入力信号とウェイトベクトル $w_{11} \sim w_{ni}$ とをそれぞれ乗算し、加算器2013へ与える。加算器2013は、乗算器2012-1~2012-nの出力信号を加算して受信信号 $S_{rx}(t)$ として出力し、この受信信号 $S_{rx}(t)$ は、ウェイトベクトル制御部2011にも与えられる。

【0016】さらに、送受信部2100aは、アダプティブアレイ無線基地局からの出力信号 $S_{rx}(t)$ を受けて、ウェイトベクトル制御部2011により与えられるウェイトベクトル $w_{11} \sim w_{ni}$ とそれぞれ乗算して出力する乗算器2015-1~2015-nを含む。乗算器2015-1~2015-nの出力は、それぞれスイッチ回路2010-1~2010-nに与えられる。つま

$$RX_1(t) = h_{11}S_{rx_1}(t) + h_{12}S_{rx_2}(t) + n_1(t) \quad \dots(1)$$

$$RX_2(t) = h_{21}S_{rx_1}(t) + h_{22}S_{rx_2}(t) + n_2(t) \quad \dots(2)$$

$$RX_3(t) = h_{31}S_{rx_1}(t) + h_{32}S_{rx_2}(t) + n_3(t) \quad \dots(3)$$

$$RX_4(t) = h_{41}S_{rx_1}(t) + h_{42}S_{rx_2}(t) + n_4(t) \quad \dots(4)$$

【0020】ここで、信号 $RX_j(t)$ は、j番目(j=1, 2, 3, 4)のアンテナの受信信号を示し、信号 $S_{rx_i}(t)$ は、i番目(i=1, 2)のユーザが送信した信号を示す。

【0021】さらに、係数 $h_{ji}$ は、j番目のアンテナに受信された、i番目のユーザからの信号の複素係数を示す

$$X(t) = H_1S_{rx_1}(t) + H_2S_{rx_2}(t) + N(t) \quad \dots(5)$$

$$X(t) = [RX_1(t), RX_2(t), \dots, RX_n(t)]^T \quad \dots(6)$$

$$H_i = [h_{i1}, h_{i2}, \dots, h_{in}]^T, (i=1, 2) \quad \dots(7)$$

$$N(t) = [n_1(t), n_2(t), \dots, n_n(t)]^T \quad \dots(8)$$

【0024】なお式(6)~(8)において、 $[\dots]^T$ は、 $[\dots]$ の転置を示す。ここで、 $X(t)$ は入力信号ベクトル、 $H_i$ はi番目のユーザの受信信号係数ベクトル、 $N(t)$ は雑音ベクトルをそれぞれ示している。

【0025】アダプティブアレイアンテナは、図15に示したように、それぞれのアンテナからの入力信号に重み係数 $w_{11} \sim w_{ni}$ を掛けて合成した信号を受信信号 $S_{rx}(t)$ として出力する。なお、ここでは、アンテナの本数nは4である。

【0026】さて、以上のような準備の下に、たとえば、1番目のユーザが送信した信号 $S_{rx_1}(t)$ を抽出する場合のアダプティブアレイの動作は以下になる。

【0027】アダプティブアレイ2100の出力信号 $y_1(t)$ は、入力信号ベクトル $X(t)$ とウェイトベクトル $W_1$ のベクトルの掛算により、以下のような式で表★

$$y_1(t) = H_1W_1^T S_{rx_1}(t) + H_2W_1^T S_{rx_2}(t) + N(t)W_1^T \quad \dots(11)$$

【0032】ここで、アダプティブアレイ2100が理

り、スイッチ回路2010-1~2010-nは、信号を受信する際は、入力ポート2020-1~2020-nから与えられた信号を、信号受信部1Rに与え、信号を送信する際には、信号送信部1Tからの信号を入出力ポート2020-1~2020-nに与える。

【0017】[アダプティブアレイの動作原理]次に、図14に示した送受信部2100aの動作原理について簡単に説明する。

【0018】以下では、説明を簡単にするために、アンテナ素子数を4本とし、同時に通信するユーザ数PSを2人とする。このとき、各アンテナから受信部1Rに対して与えられる信号は、以下のような式で表わされる。

【0019】

【数1】

$$\dots(1)$$

$$\dots(2)$$

$$\dots(3)$$

$$\dots(4)$$

20※し、 $n_j(t)$ は、j番目の受信信号に含まれる雑音を示している。

【0022】上の式(1)~(4)をベクトル形式で表記すると、以下になる。

【0023】

【数2】

$$\dots(5)$$

$$\dots(6)$$

$$\dots(7)$$

$$\dots(8)$$

★わすことができる。

【0028】

【数3】

$$y_1(t) = X(t)W_1^T \quad \dots(9)$$

$$W_1 = [w_{11}, w_{21}, w_{31}, w_{41}]^T \quad \dots(10)$$

【0029】すなわち、ウェイトベクトル $W_1$ は、j番目の入力信号 $RX_j(t)$ に掛け合わされる重み係数 $w_{ji}$ (j=1, 2, 3, 4)を要素とするベクトルである。

【0030】ここで式(9)のように表わされた $y_1(t)$ に対して、式(5)により表現された入力信号ベクトル $X(t)$ を代入すると、以下になる。

【0031】

【数4】

$$\dots(11)$$

50 想的に動作した場合、周知な方法により、ウェイトベク

トル  $W_i$  は次の連立方程式を満たすようにウェイトベクトル制御部 2011 により逐次制御される。

【0033】

【数5】

$$H_1 W_1^T = 1 \quad \dots (12)$$

$$H_2 W_1^T = 0 \quad \dots (13)$$

$$y_1(t) = S r x_1(t) + N_1(t) \quad *$$

$$N_1(t) = n_1(t) w_{11} + n_2(t) w_{21} + n_3(t) w_{31} + n_4(t) w_{41} \quad \dots (14)$$

$$\dots (15)$$

【0036】すなわち、出力信号  $y_1(t)$  には、2人のユーザのうちの第1番目のユーザが送信した信号  $S r x_1(t)$  が得られることになる。

【0037】一方、図14において、アダプティブアレイ 2100 に対する入力信号  $S r x_1(t)$  は、アダプティブアレイ 2100 中の送信部 1T に与えられ、乗算器 2015-1, 2015-2, 2015-3, ..., 2015-n の一方入力に与えられる。これらの乗算器の他方入力にはそれぞれ、ウェイトベクトル制御部 2011 により以上説明したようにして受信信号に基づいて算出されたウェイトベクトル  $w_{11}, w_{21}, w_{31}, \dots, w_{n1}$  がコピーされて印加される。

【0038】これらの乗算器によって重み付けされた入力信号は、対応するスイッチ 2010-1, 2010-2, 2010-3, ..., 2010-n を介して、対応するアンテナ #1, #2, #3, ..., #n に送られ、送信される。

【0039】ここで、ユーザ PS1, PS2 の識別は以下に説明するように行なわれる。すなわち、携帯電話機の電波信号はフレーム構成をとって伝達される。携帯電話機の電波信号は、大きくは、無線基地局にとって既知の信号系列からなるプリアンブルと、無線基地局にとって未知の信号系列からなるデータ（音声など）から構成されている。

【0040】プリアンブルの信号系列は、当該ユーザが無線基地局にとって通話すべき所望のユーザかどうかを見分けるための情報の信号列を含んでいる。アダプティブアレイ無線基地局 1 のウェイトベクトル制御部 2011 は、メモリ 2014 から取出したユーザ A に対応したトレーニング信号と、受信した信号系列とを対比し、ユーザ PS1 に対応する信号系列を含んでいると思われる信号を抽出するようにウェイトベクトル制御（重み係数の決定）を行なう。

【0041】

【発明が解決しようとする課題】ところで、一般に、携帯電話等において送受信に用いられる変調方式としては、PSK 変調を基調とする変調方式の QPSK 変調等が用いられる。

【0042】PSK 変調では、搬送波に同期した信号を

\* 【0034】式(12)および式(13)を満たすようにウェイトベクトル  $W_i$  が完全に制御されると、アダプティブアレイ 2100 からの出力信号  $y_1(t)$  は、結局以下の式のように表わされる。

【0035】

【数6】

受信信号に積算することによる検波を行なう同期検波が一般に行なわれる。

【0043】同期検波においては、変調波中心周波数に同期した複素共役搬送波を局部発振器により生成する。しかし、同期検波を行なう場合、通常、送信側と受信側の発振器には周波数オフセットと呼ばれる周波数誤差が存在する。この誤差によって、受信機側においては、受信信号を I Q 平面上に表わした場合、受信信号点の位置が回転してしまう。このため、周波数オフセットを補償しなければ同期検波を行なうことが困難である。

【0044】このような周波数オフセットは、上述したような送受信期間の局部発振周波数の精度のみならず、設定誤差、温度変動、経時変化等により発生し、受信機に入力される信号にキャリア周波数成分が残留することにより、受信特性が急激に劣化してしまうという問題が生じる。

【0045】このようなキャリア（搬送波）周波数オフセットを抑える方法としては、通信システムにおいて、いわゆる「自動周波数調整機能（AFC）」を設けることが知られている。しかしながら、このような従来行なわれている自動周波数調整機能では、広帯域変調、高速フェージング、バースト信号伝送、マルチパス遅延歪み、同一周波数干渉等の伝送条件となる移動体通信の下では、十分な動作が期待できないおそれがある。

【0046】この発明は、上記のような問題点を解決するためになされたものであって、その目的は、空間多重分割方式により同一セル内で同一チャネルを複数のユーザに割当て、チャネルの利用効率を挙げつつ、端末と基地局との間のキャリア周波数オフセットを補償することが可能な基地局に用いられる無線装置を提供することである。

【0047】

【課題を解決するための手段】請求項1記載の無線装置は、複数のアンテナを含むアレイアンテナと、複数のアンテナからの信号を受けて所定の端末からの信号を抽出するためのアダプティブアレイ処理手段とを備え、アダプティブアレイ処理手段は、与えられたオフセット補償量に応じて、受信信号の周波数オフセットを補償するための周波数オフセット補償手段を含み、アダプティブア

レイ処理手段の出力を受けて、所定のタイミングで周波数オフセットを抽出するためのオフセット量検知手段と、オフセット量検知手段の検知結果に基づいて、オフセット補償量を更新するオフセット補償量演算手段とをさらに備える。

【0048】請求項2記載の無線装置は、請求項1記載の無線装置の構成に加えて、受信信号は、複数のスロットに分割されて伝送され、各スロットは、予め定められた参照信号を含む第1の部分信号と、伝送されるデータを含む第2の部分信号とを含み、オフセット量検知手段は、参照信号を保持するための第1の記憶手段と、アダプティブアレイ処理手段からの出力の位相を所定の位相に強制的に同期させる強制位相同期手段と、第1の部分信号がアダプティブアレイ処理手段から出力される期間は、第1の記憶手段に保持された参照信号と前アダプティブアレイ処理手段から出力との差を出力し、第2の部分信号がアダプティブアレイ処理手段から出力される期間は、強制位相同期手段の出力と前アダプティブアレイ処理手段から出力との差を出力する誤差信号生成手段と、誤差信号生成手段の出力に基づいて、周波数オフセットを抽出するためのオフセット抽出手段とを含む。

【0049】請求項3記載の無線装置は、請求項2記載の無線装置の構成に加えて、オフセット補償量演算手段は、オフセット補償量を随時格納するための第2の記憶手段と、所定の係数を $\mu$ とすると、第2の記憶手段中に格納されたオフセット補償量 $\theta$ とオフセット抽出手段の出力 $\Delta\theta$ とに基づいて、オフセット補償量の更新値 $\theta'$ を、 $\theta' = \theta + \mu \times \Delta\theta$ として算出する算出手段とを含む。

【0050】請求項4記載の無線装置は、請求項2記載の無線装置の構成に加えて、オフセット補償量演算手段は、オフセット補償量を随時格納するための第2の記憶手段と、オフセット補償量の更新値 $\theta'$ を、更新が進むに従って更新にあたって変更される量を減少させるようにして、第2の記憶手段中に格納されたオフセット補償量 $\theta$ とオフセット抽出手段の出力 $\Delta\theta$ とに基づいて算出する算出手段とを含む。

【0051】請求項5記載の無線装置は、請求項4記載の無線装置の構成に加えて、オフセット補償量演算手段は、受信エラーを検出するためのエラー検出手段をさらに含み、算出手段は、1未満の所定の正係数を $\lambda$ 、係数 $\mu$ の初期値を $\mu_0$ とすると、受信エラーが検出されない更新機会の回数に対応する値を $T$ とし、記憶手段中に格納されたオフセット補償量 $\theta$ とオフセット抽出手段の出力 $\Delta\theta$ とに基づいて、オフセット補償量の更新値 $\theta'$ を、 $\theta' = \theta + (\mu_0 \times \lambda^T) \times \Delta\theta$ として算出する。

【0052】請求項6記載の無線装置は、請求項4記載の無線装置の構成に加えて、算出手段は、オフセット補償量の更新処理を複数フレームごとに行なう。

【0053】請求項7記載の無線装置は、請求項2記載

の無線装置の構成に加えて、オフセット補償量演算手段は、オフセット補償量を随時格納するための第2の記憶手段と、オフセット補償量の更新値 $\theta'$ を、更新にあたって変更される量を誤差信号生成手段の出力の絶対値の大きさに応じて増加させるようにして、第2の記憶手段中に格納されたオフセット補償量 $\theta$ とオフセット抽出手段の出力 $\Delta\theta$ とに基づいて算出する算出手段とを含む。

【0054】請求項8記載の無線装置は、請求項2記載の無線装置の構成に加えて、オフセット補償量演算手段は、オフセット補償量を随時格納するための第2の記憶手段と、所定の係数を $\mu$ とすると、第2の記憶手段中に格納されたオフセット補償量 $\theta$ とオフセット抽出手段の出力 $\Delta\theta$ とに基づいて、オフセット補償量の更新値 $\theta'$ を、i) 第1の部分信号がアダプティブアレイ処理手段から出力される期間は、更新にあたって変更される量を誤差信号生成手段の出力の絶対値の大きさに応じて増加させるようにして、第2の記憶手段中に格納されたオフセット補償量 $\theta$ とオフセット抽出手段の出力 $\Delta\theta$ とに基づいて算出し、ii) 第2の部分信号がアダプティブアレイ処理手段から出力される期間は、 $\theta' = \theta + \mu \times \Delta\theta$ として算出する算出手段とを含む。

【0055】請求項9記載の無線装置は、請求項1記載の無線装置の構成に加えて、受信信号は、複数のスロットに分割されて伝送され、各スロットは、予め定められた参照信号を含む第1の部分信号と、伝送されるデータを含む第2の部分信号とを含み、オフセット量検知手段は、アダプティブアレイ処理手段からの出力の位相を所定の位相に強制的に同期させる強制位相同期手段と、第2の部分信号がアダプティブアレイ処理手段から出力される期間において、強制位相同期手段の出力と前アダプティブアレイ処理手段から出力との差を出力する誤差信号生成手段と、誤差信号生成手段の出力に基づいて、周波数オフセットを抽出するためのオフセット抽出手段とを含む。

【0056】請求項10記載の無線装置は、請求項9記載の無線装置の構成に加えて、オフセット補償量演算手段は、オフセット補償量を随時格納するための第2の記憶手段と、所定の係数を $\mu$ とすると、第2の記憶手段中に格納されたオフセット補償量 $\theta$ とオフセット抽出手段の出力 $\Delta\theta$ とに基づいて、オフセット補償量の更新値 $\theta'$ を、 $\theta' = \theta + \mu \times \Delta\theta$ として算出する算出手段とを含む。

【0057】

【発明の実施の形態】 [実施の形態1]

【SDMA基地局1000の構成】図1は、本発明の実施の形態1のSDMA基地局1000の構成を示す概略ブロック図である。

【0058】図1を参照して、SDMA基地局1000は、複数本のアンテナ#1～#4で構成されるアレイアンテナからの信号をそれぞれ受けてダウンコンバートす



るRF回路2-1~2-4と、RF回路2-1~2-4からの信号をそれぞれ受けて、デジタル信号に変換し受信信号ベクトル $X(t)$ として出力するためのアナログデジタル変換器4-1~4-4を備える。

【0059】図1においては、説明の簡単のためにアレイアンテナを構成するアンテナは4本であるものとしているが、より一般には、アンテナの本数は $n$ 本( $n$ は、 $n \geq 2$ の自然数)でよい。

【0060】また、受信信号ベクトル $X(t)$ は4本のアンテナのそれぞれからの信号を要素とするベクトルである。

【0061】SDMA基地局1000は、さらに、アナログデジタル変換器4-1~4-4からの信号 $X(t)$ を受けて、この信号 $X(t)$ と後に説明するようにして導出される周波数オフセット修正値 $\theta(t)$ と複素乗算を行なうことにより、周波数オフセットを修正した信号 $X'(t)$ として出力する周波数オフセット修正部6と、周波数オフセット修正部6から出力された信号 $X'(t)$ をそれぞれ受けて、ウェイトベクトル $W(t)$ の要素と各々乗算するための乗算器12-1~12-4と、乗算器12-1~12-4の出力を受けて加算し受信信号 $y(t)$ として出力する加算器14と、加算器14の出力を受けて、信号 $y(t)$ の位相をI/Q平面上の所定の位相点に強制的に同期させるための強制位相同期処理部20を含む。

【0062】ここで、たとえば、信号 $y(t)$ は複数の端末のうち所望の端末からの信号を抽出した信号であり、たとえば、QPSK変調された信号であるものとする。したがって、強制位相同期処理部20は、QPSK変調された信号のI/Q平面上の所定の位相に対応する信号点に強制的に同期させる処理を行なうことになる。

【0063】以下では、強制位相同期処理部20から出力される信号をレプリカ信号 $d'(t)$ と呼ぶことにする。

【0064】SDMA基地局1000は、さらに、1スロットの信号中に含まれるシンボル(たとえば120シンボル)のうちプリアンプルに含まれる参照信号を予め保持し信号 $d(t)$ として出力するメモリ30と、受信信号が1スロットの信号のうち参照信号が存在する区間を受信中であるか参照信号がない区間(データ部)を受信中であるか否かを検出するタイミング制御部40と、強制位相同期処理部からのレプリカ信号 $d'(t)$ とメモリ30からの参照信号 $d(t)$ とを受けて、タイミング制御部40により制御されて、いずれか一方を出力するスイッチ回路50と、スイッチ回路50からの出力と加算器14からの出力の符号を反転させた上で加算するための加算器70と、加算器70からの出力を受けて、周知のアダプティブアレイ処理により、ウェイトベクトル $W(t)$ を算出するためのウェイト計算回路10とを備える。

【0065】SDMA基地局1000は、さらに、加算器70から出力される誤差信号 $e(t)$ の符号を反転させた信号と、スイッチ回路50から出力される参照信号 $d(t)$ またはレプリカ信号 $d'(t)$ とを加算する加算器80と、スイッチ回路50からの出力を受けて複素共役の信号 $d^*(t)$ 複素共役処理部60と、複素共役処理部60の出力と加算器80の出力とを乗算するための乗算器90と、乗算器90の出力を受けてその虚数部を抽出することで、周波数オフセット $\Delta\theta$ を抽出するオフセット抽出部100と、オフセット補償値を求めるためのステップ係数 $\mu$ を保持するステップ係数保持部120と、ステップ係数保持部120から出力されるステップ係数 $\mu$ と周波数オフセット量 $\Delta\theta$ とを乗算する乗算器110と、オフセット補償量の更新値を記憶するためのメモリ140と、メモリ140に記憶されている前回処理におけるオフセット補償値と乗算器110からの出力とに応じて、オフセット補償量 $\theta(t)$ を算出するためのオフセット補償値算出部130とを備える。

【0066】オフセット補償値算出部130からの出力に応じて、周波数オフセット修正部6が、アナログデジタル変換器4-1~4-4からの出力に対して周波数オフセットの修正を行なう。

【0067】図2は、本発明において、端末とSDMA基地局1000との間で授受される信号の構成を説明するための概念図である。

【0068】1フレームの信号は8スロットに分割され、前半の4スロットがたとえば受信用であり後半の4スロットがたとえば送信用である。

【0069】各スロットは120シンボルから構成され、図2に示した例では、1つの受信用および1つの送信用のスロットを1組として4ユーザに対して1フレームの信号が割当てられている。

【0070】図3は、図1に示したSDMA基地局1000の動作を説明するためのフローチャートである。

【0071】まず、図3で行なわれる処理を概略的に説明すると、図1において説明したとおり、アレイアンテナ#1~#4からの信号 $X(t)$ は、周波数オフセット補償値 $\theta(t)$ と複素乗算された後、アダプティブアレイ処理が行なわれる。

【0072】アダプティブアレイから出力される出力信号 $y(t)$ 、参照信号 $d(t)$ からの誤差 $e(t)$ が求められ、さらにこの誤差 $e(t)$ に基づいて、アダプティブアレイ学習をウェイト計算回路10が行なうことで、各アンテナにそれぞれ対応する受信ウェイトを要素とするウェイトベクトル $W(t)$ が算出される。

【0073】このとき、アダプティブアレイの出力信号 $y(t)$ とその参照信号 $d(t)$ とから、I/Q平面上でのキャリア周波数成分の円周方向の誤差、すなわち周波数オフセット値 $\Delta\theta(t)$ が抽出され、オフセット補償値 $\theta(t)$ が算出される。



【0074】このとき、受信信号のスロットにおいて、参照信号ありの区間においては、周波数オフセットの更新処理は、参照信号 $d(t)$ と受信信号ベクトル $X(t)$ とからアダプティブアレイ学習によりウェイトベクトル $W(t)$ を更新する際にオフセット補償値 $\theta(t)$ も逐次更新処理を行なう。

【0075】参照信号なしの区間（データ部）においては、アダプティブアレイ出力 $y(t)$ を基準信号点に強制位同期させたレプリカ $d'(t)$ とアダプティブアレイ出力の誤差に基づいて、アダプティブ学習によるウェイトベクトル $W(t)$ および周波数オフセット補償値 $\theta(t)$ の逐次更新が行なわれる。

【0076】上述したとおり、実施の形態1のSDMA基地局1000においては、1スロット中に含まれる全シンボルに対してアレイ学習およびオフセット更新処理を行なう。すなわち、受信信号のオフセット修正、アレイ処理、オフセット補償値更新の処理をシンボルごとに逐次行なっていく。後に説明するように、オフセット更新時に使用するステップ係数 $\mu$ の値は、たとえば、適用する環境下に応じて実験により予め定めておくものとする。

【0077】また、処理ループの初期値としてオフセット補償値 $\theta(1)$ は0にセットしておくものとする。

【0078】たとえば、PHSシステムに適用する場合、既知の信号区間である1～12シンボルまではメモリ30内部の参照信号 $d(t)$ を用いてオフセット補償値の更新処理を行なう。これに対して、13シンボル以降の参照信号がない区間では、アレイ出力 $y(t)$ を $\pi/4$ QPSKの基準信号点に強制位同期した信号を参照信号のレプリカ $d'(t)$ としてオフセット補償値の更新処理に用いる。

【0079】なお、以下の説明において「 $t$ 」は、時間を表わす変数であり、たとえばオフセット補償値 $\theta(t)$ の $t$ は、基準時点からの時間経過を表わし、たとえばシンボル数に相当する量を表わす。

【0080】図3を参照して、受信処理が開始されると（ステップS100）、シンボル数をカウントするための変数 $i$ の値が1に初期化される（ステップS102）。

【0081】続いて、変数 $i$ の値が12を超えているかどうかの判断が行なわれ（ステップS104）、変数 $i$ が12以下である場合は、まず、周波数オフセット修正部6において、以下の式に従ってアンテナ受信信号ベクトル $X(i)$ が周波数オフセット補償値 $\theta(i)$ に基づいて補正される（ステップS106）。

【0082】
$$X'(i) = X(i) e^{-j} \times e^{j\theta(i)} \times Z^i$$
$$= X(i) \times (\cos(i \times Q(i)) + j \sin(i \times Q(i)))$$

ここで、 $j$ は虚数単位を表わし、 $Z^i$ は複素数 $Z$ の複素

共役を表わす。

【0083】続いて、ウェイト計算機10は、加算器70から出力される参照信号 $d(i)$ とオフセット補償後の受信信号ベクトル $X'(i)$ から得られるアダプティブアレイ出力 $y(t)$ とを用いてウェイトベクトル $W(i)$ の計算および更新を行なう（ステップS108）。

【0084】一方で、スイッチ回路50から出力される参照信号 $d(i)$ と加算器70から出力される誤差信号 $e(i)$ から以下の演算に相当する処理を加算器80、複素共役処理部60、乗算器90およびオフセット抽出部100が行なうことで、周波数オフセット値が算出される。

【0085】
$$e(i) = d(i) - y(i)$$
$$\Delta\theta = \text{Im}[(d(i) - e(i)) \times d^*(i)]$$
なお、上式中 $\text{Im}[\dots]$ は $[\dots]$ の虚数部を表わす。

【0086】さらに、このようにして得られた周波数オフセット値に基づいて、ステップ係数保持部120、乗算器110およびオフセット補償値算出部130の行なう処理により、以下の式に基づいて周波数オフセット補償値が更新される（ステップS110）。

【0087】
$$\theta(i+1) = \theta(i) + \mu \times \Delta\theta$$
ステップS110の処理が終了すると、変数 $i$ の値がインクリメントされて、処理はステップS104に復帰する。

【0088】ステップS104において、変数 $i$ の値が12を超えると判断された場合、処理はステップS112に移行する。ステップS112においては、周波数オフセット修正部6において、ステップS106と同様にして、受信信号ベクトル $X(i)$ の位相が補正されて、受信信号ベクトル $X'(i)$ が生成される。

【0089】続いて、加算器14から出力されるアダプティブアレイ出力 $y(t)$ と信号 $y(i)$ を強制位同期したレプリカ信号 $d'(i)$ とから加算器70により得られる誤差信号 $e(i)$ に基づいて、ウェイト計算回路10は、ウェイトベクトル $W(i)$ を更新処理する（ステップS114）。

【0090】続いて、強制位同期処理部20において、アダプティブアレイ出力 $y(i)$ を強制位同期することにより生成したレプリカ信号 $d'(i)$ がスイッチ回路50を介して出力され、加算器70からは誤差信号 $e'(i)$ が出力される。この信号 $e'(i)$ と符号を反転させた信号と、レプリカ信号 $d'(i)$ とを加算器80において加算した結果と複素共役処理部60から出力された信号 $d^*(i)$ とを乗算器90において乗算した結果に基づいて、オフセット抽出部100において、以下の式に基づいて周波数オフセット $\Delta\theta$ が算出される。

【0091】
$$e'(i) = d'(i) - y(i)$$
$$\Delta\theta = \text{Im}[(d'(i) - e'(i)) \times d^*(i)]$$

・ (i) ]

さらに、この周波数オフセット両 $\Delta\theta$ とに基づいて、以下の式によりオフセット補償値算出部130によりオフセット補償量が更新されて、メモリ140に記憶されるとともに、周波数オフセット修正部6に与えられる。

$$\text{【0092】 } \theta(i+1) = \theta(i) + \mu \times \Delta\theta$$

続いて、変数*i*が全シンボル(たとえば120)よりも大きいかなかの判断が行なわれ(ステップS118)、変数*i*が全シンボル数以下である場合は処理はステップS112に復帰し、変数*i*が全シンボル数を超過している場合は処理はステップS120に移行する。

【0093】続いて、最終的な周波数オフセット値を次フレームの初期値用にメモリ140に保存する。これにより、次フレームに対するオフセット補償量の初期値 $\theta(1)$ は以下のように設定されることになる(ステップS120)。

$$\text{【0094】 } \theta(1) = (\text{最終学習時の } \theta \text{ の値})$$

以上の処理により、1スロット分の処理が終了する(ステップS122)。

【0095】以上のような処理を行なうことで、受信信号の周波数オフセットが補償されることにより、アダプティブアレイを用いた無線装置において、安定な受信特性を得ることが可能となる。

【0096】[実施の形態2] 図4は、本発明の実施の形態2のSDMA基地局1200の構成を説明するための概略ブロック図であり、実施の形態1の図1と対比される図である。

【0097】実施の形態2のSDMA基地局1200の構成が、実施の形態1のSDMA基地局100の構成と異なる点は、以下のとおりである。

【0098】強制位相同期処理部20からの出力に基づいて、符号処理を行なう差動復号処理部200(これは図1においては図示省略されている)からの出力に応じて、復号データに受信エラーがあるかなかを検出する復調エラーデータチェック部210と、復調データエラーチェック部からのエラーの検出結果が与えられると、これに応じて、エラー条件を判定するエラー条件判定処理部220と、このようなエラー判定が行なわれた回数*T*を記憶するためのメモリ230とをさらに備える構成となっている。

【0099】さらに、SDMA基地局1200においては、ステップ係数保持部120の代わりに、ステップ係数制御部122が設けられ、エラー条件判定処理部220から与えられるエラー回数*T*に応じて、以下に示す式に基づいて、オフセット補償値を求める際に用いられるステップ係数を変化させる。

$$\text{【0100】 } \mu'(t) = \mu'(0) \times \lambda^T$$

ここで、 $\lambda$ は $0 < \lambda < 1$ を満たす定数であって、以下忘却係数と呼ぶ。また、 $\mu'(0)$ は初期値である。

【0101】以上のような構成とすることで、ステップ

係数 $\mu$ の値は、学習区間が進むにつれて次第に小さくなっていく。

【0102】真の周波数オフセット値は短時間で変化するものではないため、オフセット値が収束段階に移った場合、ある程度正確な値が求められていると考えられる。

【0103】ここで、ノイズやエラーにより大きな誤差が突発的に表われた場合、これまでと同様の学習を行っていると、オフセット値はその誤差に基づいて真の値から遠ざかることになる。つまり、収束後もオフセット値は外乱等の影響で揺れ幅を持って推移することになってしまう。

【0104】上述したように、エラー条件判定処理部220が、生じたエラーが突発的なノイズ等に基づくものであるかなかをそれまでの学習履歴等を参照して判定することにより、オフセット値が収束段階に入ったと考えた後は、オフセット補償値の更新幅であるステップ係数を小さくしていく。これにより、突発的なノイズ等によるエラーによって、オフセット補償値が大きく変動してしまうことを防止し、より正確なオフセット値推定を行なうことが可能となる。

【0105】図5は、図4に示した実施の形態2のSDMA基地局1200の動作を説明するためのフローチャートであり、図3と対比される図である。

【0106】図5を参照して、受信処理が開始されると(ステップS100)、シンボル数をカウントするための変数*i*の値が1に初期化される(ステップS102)。

【0107】続いて、変数*i*の値が12を超えているかなかの判断が行なわれ(ステップS104)、変数*i*が12以下である場合は、まず、周波数オフセット修正部6において、アンテナ受信信号ベクトル $X(i)$ が周波数オフセット補償値 $\theta(i)$ に基づいて補正される(ステップS106)。

【0108】続いて、ウェイト計算機10は、加算器70から出力される参照信号 $d(i)$ とオフセット補償後の受信信号ベクトル $X'(i)$ から得られるアダプティブアレイ出力 $y(t)$ とを用いてウェイトベクトル $W(i)$ の計算および更新を行なう(ステップS108)。

【0109】一方で、スイッチ回路50から出力される参照信号 $d(i)$ と加算器70から出力される誤差信号 $e(i)$ から以下の演算に相当する処理を加算器80、複素共役処理部60、乗算器90およびオフセット抽出部100が行なうことで、周波数オフセット値が算出される。

$$\text{【0110】 } e(i) = d(i) - y(i)$$

$$\Delta\theta = \text{Im}[(d(i) - e(i)) \times d^*(i)]$$

なお、上式中 $\text{Im}[\dots]$ は $[\dots]$ の虚数部を表わす。

【0111】さらに、このようにして得られた周波数オ

フセット値に基づいて、ステップ係数保持部120、乗算器110およびオフセット補償値算出部130の行なう処理により、以下の式に基づいて周波数オフセット補償値が更新される(ステップS109)。

$$\begin{aligned} \text{【0112】 } \mu'(i) &= \mu'(0) \times \lambda^i \\ \theta(i+1) &= \theta(i) + \mu'(i) \times \Delta\theta \end{aligned}$$

ステップS110の処理が終了すると、変数*i*の値がインクリメントされて、処理はステップS104に復帰する。

【0113】ステップS104において、変数*i*の値が12を超えると判断された場合、処理はステップS112に移行する。ステップS112においては、周波数オフセット修正部6において、ステップS106と同様に、受信信号ベクトル*X*(*i*)の位相が補正されて、受信信号ベクトル*X'*(*i*)が生成される。

【0114】続いて、加算器14から出力されるアダプティブアレイ出力*y*(*t*)と信号*y*(*i*)を強制位相同期したレプリカ信号*d'*(*i*)とから加算器70により得られる誤差信号*e*(*i*)に基づいて、ウェイト計算回路10は、ウェイトベクトル*W*(*i*)を更新処理する(ステップS114)。

【0115】続いて、強制位相同期処理部20において、アダプティブアレイ出力*y*(*i*)を強制位相同期することにより生成したレプリカ信号*d'*(*i*)がスイッチ回路50を介して出力され、加算器70からは誤差信号*e'*(*i*)が出力される。この信号*e'*(*i*)と符号を反転させた信号と、レプリカ信号*d'*(*i*)とを加算器80において加算した結果と複素共役処理部60から出力された信号*d*(*i*)とを乗算器90において乗算した結果に基づいて、オフセット抽出部100において、以下の式に基づいて周波数オフセット $\Delta\theta$ が算出される。

$$\begin{aligned} \text{【0116】 } e'(i) &= d'(i) - y(i) \\ \Delta\theta &= \text{Im}[(d'(i) - e'(i)) \times d^*(i)] \end{aligned}$$

さらに、この周波数オフセット $\Delta\theta$ とに基づいて、以下の式によりオフセット補償値算出部130によりオフセット補償値が更新されて、メモリ140に記憶されるとともに、周波数オフセット修正部6に与えられる(ステップS115)。

$$\begin{aligned} \text{【0117】 } \mu'(i) &= \mu'(0) \times \lambda^i \\ \theta(i+1) &= \theta(i) + \mu'(i) \times \Delta\theta \end{aligned}$$

続いて、変数*i*が全シンボル(たとえば120)よりも大きいかなかの判断が行なわれ(ステップS118)、変数*i*が全シンボル数以下である場合は処理はステップS112に復帰し、変数*i*が全シンボル数を超過している場合は処理はステップS119に移行する。

【0118】復調データに受信エラーがあれば連続受信エラーなしフレーム数*T*を0とし、受信エラーがなければ連続受信エラーなしフレーム数*T*を1インクリメント

し、メモリ230に格納する(ステップS119)。

【0119】続いて、最終的な周波数オフセット値を次フレームの初期値用にメモリ140に保存する。これにより、次フレームに対するオフセット補償量の初期値 $\theta(1)$ は以下のように設定されることになる(ステップS120)。

$$\text{【0120】 } \theta(1) = (\text{最終学習時の } \theta \text{ の値})$$

以上の処理により、1スロット分の処理が終了する(ステップS122)。

【0121】以上のような処理を行なうことで、受信信号の周波数オフセットが補償されることにより、アダプティブアレイを用いた無線装置において、安定な受信特性を得ることが可能となる。

【0122】さらに、上述したとおり外部からの突発的な変動に影響されことなく、周波数オフセット量をより安定的に補償することが可能となる。

【0123】〔実施の形態2の変形例1〕実施の形態2においては、学習区間が進むにつれてステップ係数 $\mu$ の値を徐々に小さくしていく処理を行なった。このとき、 $\mu$ の値は、受信を開始してから連続的に受信エラーが検出されなかったフレーム数*T*に基づいて変化する構成となっていたが、たとえば、連続受信エラーなしのシンボル数、または受信開始からの総フレーム数に応じてステップ係数 $\mu$ の値を小さくしていくことも可能である。

【0124】〔実施の形態2の変形例2〕また、オフセット推定処理自体を1回の通話処理中において受信開始の第1フレームにおいてのみ行ない、それ以降のフレームについては行なわない処理とすることも可能である。受信エラーが起きた場合は、再度オフセット推定を行なう。

【0125】〔実施の形態2の変形例3〕あるいは、オフセット補償値更新処理を毎フレームに行なうのではなく、たとえば10フレームに1回の割合で行なうとする構成も可能である。

【0126】〔実施の形態2の変形例4〕さらに、エラー発生時にはステップ係数 $\mu'(t)$ やオフセット補償量 $\theta(t)$ を初期値に戻す処理を行なうことも可能である。

【0127】以上説明したようなオフセット補償処理を行ないつつ、ある条件が成立した場合にはオフセット更新(ステップ係数 $\mu$ の値)を当初の数値に戻す(あるいは徐々に $\mu'(t)$ の値を大きくする)ことで、オフセット値の補償処理を素早く完了させる。

【0128】上述したある条件とは、たとえば、連続100フレーム続けてエラーが発生した場合や、20%以上のエラー率が検出された場合や、干渉回避起動が発生した場合などである。

【0129】実施の形態2において、*T*の値が連続受信エラーなしフレーム数に設定されている場合は、エラーが発生した場合、*T*の値が0になるため、 $\mu'(t)$ は

初期値  $\mu' (0)$  に戻ることになる。

【0130】[実施の形態2の変形例5] さらに、ステップ係数  $\mu (t)$  の最小値も予め設定しておく構成とすることもできる。

【0131】すなわち、ステップ係数  $\mu' (t)$  の値が小さくなりすぎると、オフセット補償値の更新自体も効果がなくなってしまう。

【0132】したがって、予め  $\mu' (t)$  の最小値を設定しておくことにする。たとえば、Tの最大値を1000に制限する等の可能性が考えられる。

【0133】ここで、 $\mu' (t)$  の最小値は、演算精度やCNR等に基づき設定することとする。

【0134】以上のような構成とすることで、実施の形態よりもさらに安定したオフセット値補償が可能となる。

【0135】[実施の形態3] 図6は、本発明の実施の形態3のSDMA基地局1400の構成を説明するための概略ブロック図である。

【0136】図1に示した実施の形態1のSDMA基地局1000の構成と異なる点は、ステップ係数保持部120の代わりに、タイミング制御部40によって制御されるステップ係数制御部124が設けられる構成となっている点である。

【0137】その他の構成は、図1に示した実施の形態1のSDMA基地局1000の構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0138】ステップ係数制御部124は、参照信号が存在する区間では、ステップ係数  $\mu' (t)$  の値を0とし、参照信号が存在する期間では所定の値  $\mu$  に設定する。

【0139】以上のような処理を行なうのは以下のような理由による。すなわち、アレイ学習の初期段階（初期シンボル段階）では、ウェイト計算回路10から出力されるウェイトベクトル値は正しい値に収束していない可能性がある。このような場合、参照信号とアレイ出力の誤差が大きな値を示し、オフセット値も大幅な更新がされてしまうことになる。

【0140】このようなウェイトベクトルが収束していない段階では、オフセット値の高精度な判定が困難となる可能性がある。

【0141】したがって、より高精度なオフセット値推定を行なうため、アダプティブアレイの学習（ウェイト値あるいは誤差）が収束していない段階では、オフセット値の更新を停止する処理を行なう。

【0142】図7は、図6に示した実施の形態3のSDMA基地局の動作を説明するためのフローチャートである。

【0143】図7に示した処理は、参照信号を含む受信信号  $y (t)$  が加算器14から出力されている期間、すなわち、変数  $i$  が12以下の間は、オフセット補償量の

更新を行なわないためにステップS110に相当する処理が省略されている点を除いて、実施の形態1の図3に示した処理と同様であるので、その説明は繰返さない。

【0144】このような処理により、オフセット値の高精度な判定を行ない、安定なオフセット補償処理を行なうことが可能になる。

【0145】[実施の形態4] 図8は、本発明の実施の形態4のSDMA基地局1600の構成を説明するための概略ブロック図である。

【0146】図1に示した実施の形態1のSDMA基地局1000の構成と異なる点は以下のとおりである。

【0147】すなわち、図8を参照して、実施の形態4のSDMA基地局1600においては、加算器70から出力される誤差信号  $e (t)$  に基づいて、アレイ処理が収束しているか否かを判定するアレイ処理収束度判定部160と、このアレイ処理収束度判定部160の判定結果に基づいて制御され、ステップ係数  $\mu' (t)$  の値を変更するステップ係数制御部126が、ステップ係数保持部120の代わりに設けられている。

【0148】その他の構成は図1に示したSDMA基地局1000の構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0149】ステップ係数制御部126は、以下の式に基づいて、ステップ係数  $\mu' (t)$  の値を変更する。

【0150】

$$\mu' (t) = \mu' (0) \times (\alpha / |e(i)|)$$

ここで、 $\alpha$  は一定数であるので、誤差が大きい場合はオフセット更新速度（ステップ係数）の値が小さくなり、誤差が小さいときはオフセット更新速度が大きくなる。

【0151】図9は、図8に示した実施の形態4のSDMA基地局1600の動作を説明するためのフローチャートである。

【0152】図9に示した処理は、ステップS110に相当するステップS111およびステップS116に相当するステップS117において、オフセット補償量の更新を行なう際のステップ係数が、上述のとおり変更されている点を除いて、実施の形態1の図3に示した処理と同様であるので、その説明は繰返さない。

【0153】なお、ステップ係数  $\mu' (t)$  の変更方法としては、他に以下のような式に基づく変更も考えられる。

$$\mu' (t) = \mu' (0) \times (\alpha / |\log |e(i)||)$$

以上のような処理により、アレイ学習の初期段階等において、ウェイトベクトル値が正しい値に収束していない期間中は、オフセット補償値の更新が抑制され、オフセット値の収束までの時間を速くすることが可能である。なお、誤差  $e (i)$  が一定値より小さく、ウェイトの精度が良いと推定される場合には、 $\mu' (t)$  を大きく変

更することなく一定値に制限する。

【0155】〔実施の形態4の変形例〕なお、アレイ学習時の受信応答ベクトル値の推移に基づいてオフセット更新速度を制御することも可能である。

【0156】すなわち、更新処理において前回のフレーム時と現段階でのフレーム時の受信応答ベクトルの間の推移（相関値）を計算し、これが1に近い場合は、オフセット更新速度を大きくするという処理を行なうことができる。一方、小さいときはオフセット更新速度を小さくする。

【0157】すなわち、以下の式に基づいて、オフセット値が更新される。

$$\mu'(t) = \mu'(0) \times (\beta \times \text{COR})$$

ここで、CORは、前フレーム時と現フレーム時の受信応答ベクトル値の相関値を表わし、 $\beta$ は一定の係数である。

【0158】〔実施の形態5〕図10は、本発明の実施の形態5のSDMA基地局1800の構成を説明するための概略ブロック図である。

【0159】実施の形態5のSDMA基地局1800の構成が、図1に示した実施の形態1のSDMA基地局1000の構成と異なる点は、以下のとおりである。

【0160】すなわち、実施の形態5のSDMA基地局1800は、加算器70から出力される誤差信号 $e(t)$ に応じて、アダプティブアレイ処理が収束段階に入っているか否かを検出するためのアレイ処理収束度判定部160と、アレイ処理収束度判定部160の判定結果と、タイミング制御部40からのタイミング信号により制御されて、ステップ係数 $\mu'(t)$ の値を変更するステップ係数制御部128が、ステップ係数保持部120の代わりに設けられる構成となっている。

【0161】その他の点は、図1に示した実施の形態1のSDMA基地局1000の構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0162】すなわち、実施の形態5のSDMA基地局1800の構成のうちステップ係数制御部128は、以下のような処理を行なう。

【0163】まず、タイミング制御部40からの制御により、参照信号ありの区間においては、ステップ係数制御部128は、ステップ係数 $\mu'(t)$ を実施の形態4と同様に以下の式にしたがって変化させる。

$$\mu'(t) = \mu'(0) \times (\alpha / |e(i)|) \\ (\text{または、} \mu'(t) = \mu'(0) \times (\alpha / |\log |e(i)||))$$

さらに、参照信号なしの区間になった場合には、ステップ係数制御部128は、ステップ係数 $\mu'(t)$ を初期値 $\mu'(0)$ とする。

【0165】以上のような処理を行なうことで、アレイ処理の収束が早い場合、すなわち、誤差信号 $e(i)$ が

参照信号ありの区間であって一定値以下となり、アレイ処理が収束したと推測できる場合は、その時点からオフセット更新速度が徐々に大きくなっていく。なお、大きくしすぎないように一定の閾値制限を設けるものとする。

【0166】これに加えての参照信号なし区間に到達すると、オフセット更新速度を初期設定値の値に戻すことで、オフセット更新値が一定値となる。これにより、更新速度に制限がかけられることになる。

10 【0167】図11は、図10に示した実施の形態5のSDMA基地局1800の動作を説明するためのフローチャートである。

【0168】図11に示した処理は、ステップS110に相当するステップS111において、オフセット補償量の更新を行なう際のステップ係数が、上述のとおり変更されている点を除いて、実施の形態1の図3に示した処理と同様であるので、その説明は繰返さない。

【0169】したがって、実施の形態3の場合よりもより多くのオフセット更新機会が与えられるため収束が早くなる。これに加えて、実施の形態4では、エラーが小さくなっていくとオフセット更新速度が大きくなりすぎて、変数の発散オーバーフロー等が起こる可能性があるが、これを回避することが可能であるという利点がある。

【0170】以上の処理で、アレイ処理が収束してからオフセット更新を行なうことになるので、オフセット推定精度が向上し、オフセット補償量の収束を早めることができる。

【0171】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0172】

【発明の効果】以上説明したとおり、本願発明によれば、アダプティブアレイ処理を用いてアレイアンテナを制御することにより、同一チャネルに複数のユーザを割当ててチャネル利用効率を高めつつ、周波数オフセットを補償することで、受信特性の劣化を抑制することが可能となる。

【図面の簡単な説明】

【図1】 実施の形態1のSDMA基地局1000の構成を示す概略ブロック図である。

【図2】 端末とSDMA基地局1000との間で授受される信号の構成を説明するための概念図である。

【図3】 図1に示したSDMA基地局1000の動作を説明するためのフローチャートである。

【図4】 実施の形態2のSDMA基地局1200の構成を説明するための概略ブロック図である。

【図5】 実施の形態2のSDMA基地局1200の動作を説明するためのフローチャートである。

【図6】 本発明の実施の形態3のSDMA基地局1400の構成を説明するための概略ブロック図である。

【図7】 実施の形態3のSDMA基地局の動作を説明するためのフローチャートである。

【図8】 実施の形態4のSDMA基地局1600の構成を説明するための概略ブロック図である。

【図9】 実施の形態4のSDMA基地局1600の動作を説明するためのフローチャートである。

【図10】 実施の形態5のSDMA基地局1800の構成を説明するための概略ブロック図である。

【図11】 実施の形態5のSDMA基地局1800の動作を説明するためのフローチャートである。

【図12】 周波数分割多重接続、時分割多重接続および空間多重分割接続の各種の通信システムにおけるチャネルの配置図である。

【図13】 従来のSDMA用基地局の送受信システム\*

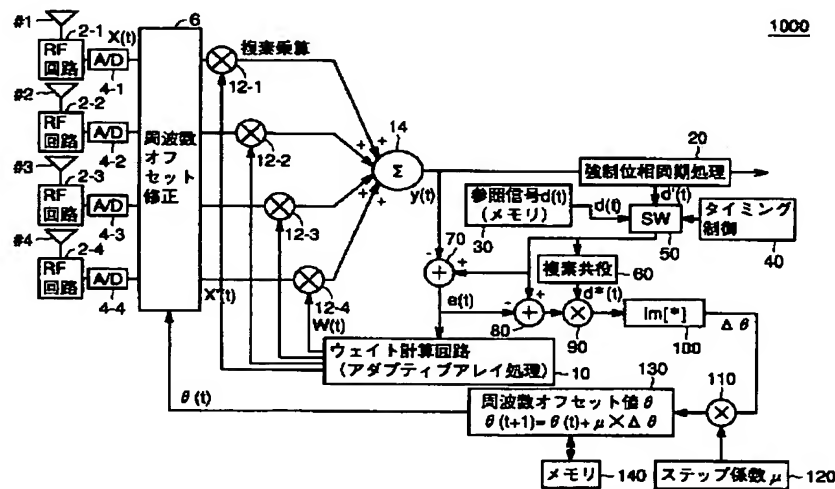
\* 2000の構成を示す概略ブロック図である。

【図14】 アダプティブアレイ2100のうち、1人のユーザに対応する送受信部2100aの構成を示すブロック図である。

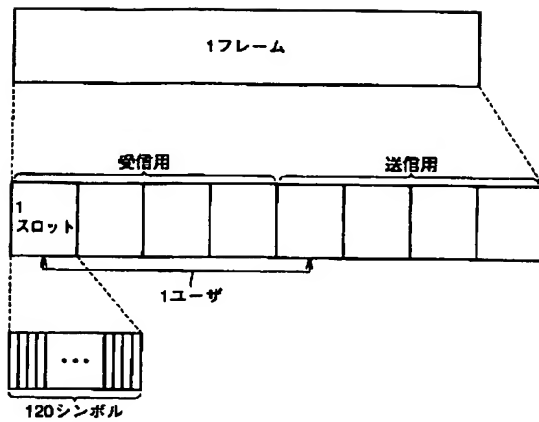
【符号の説明】

#1～#4 アレイアンテナ、2-1～2-4 RF回路、4-1～4-4アナログデジタル変換器、6 周波数オフセット修正部、12-1～12-4乗算器、14 加算器、20 強制位相同期処理部、30 メモリ、40 タイミング制御部、50 スイッチ回路、60 複素共役処理部、70、80 加算器、90 乗算器、100 オフセット抽出部、110 乗算器、120 ステップ係数保持部、130 オフセット補償値算出部、140 メモリ、122, 124, 126, 128 ステップ係数制御部、160 アレイ処理収束度判定部、1000, 1200, 1400, 1600, 1800 SDMA基地局。

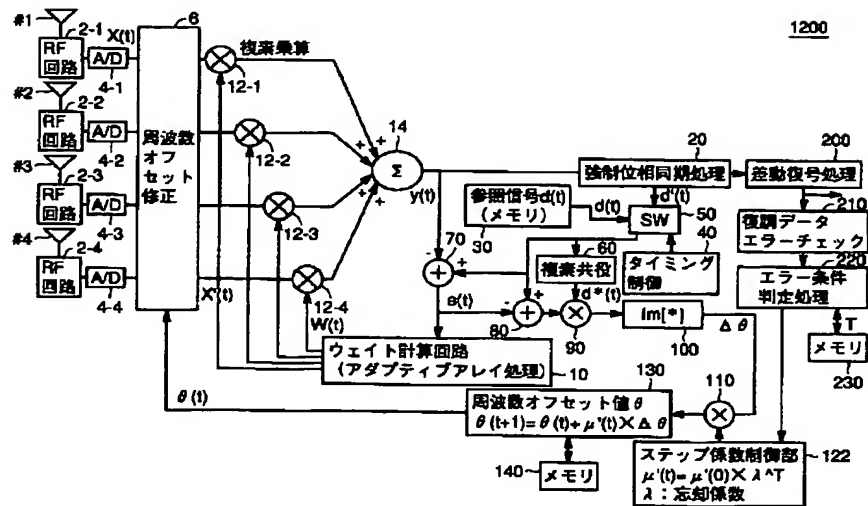
【図1】



【図 2】

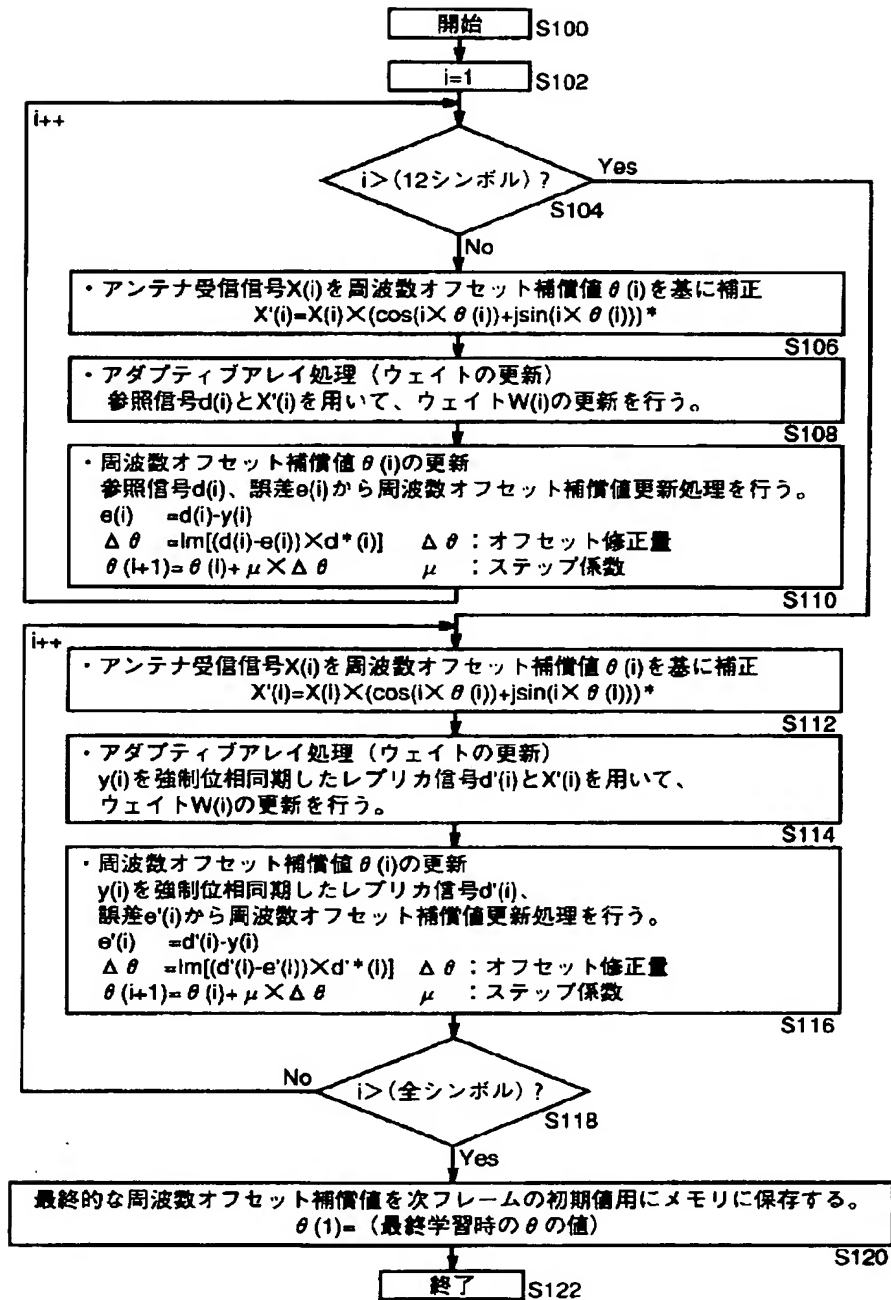


【図 4】

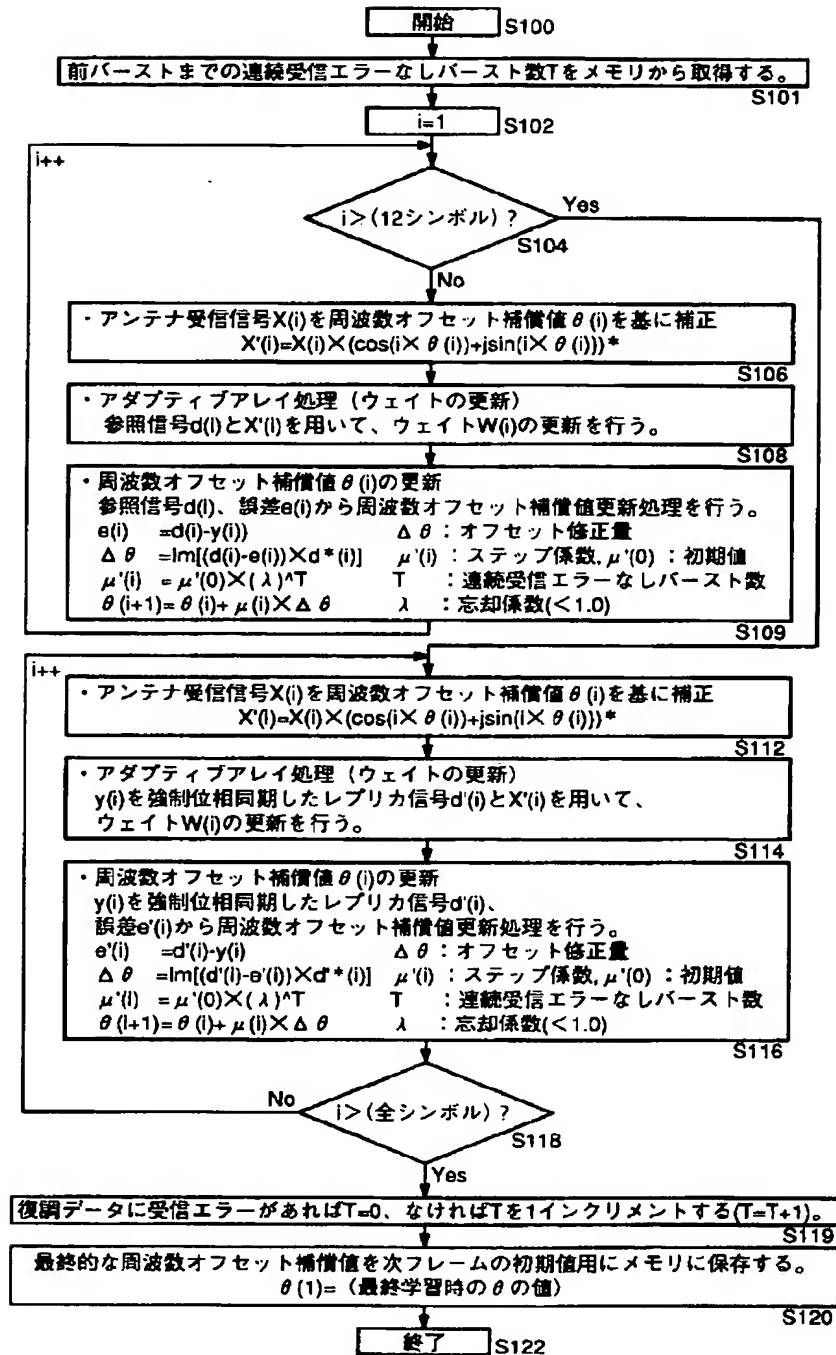




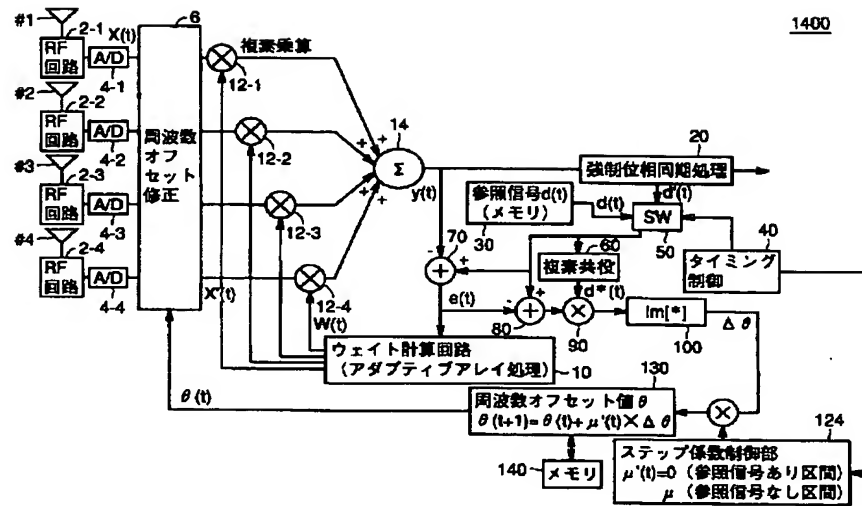
【図3】



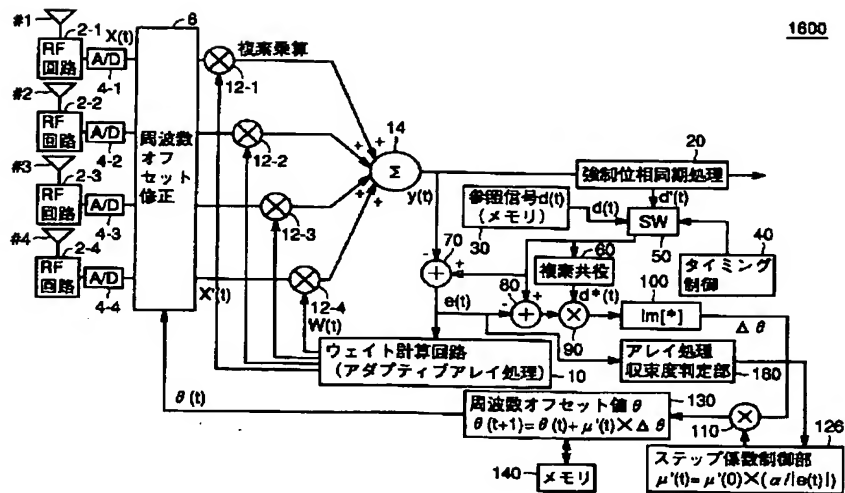
【図5】



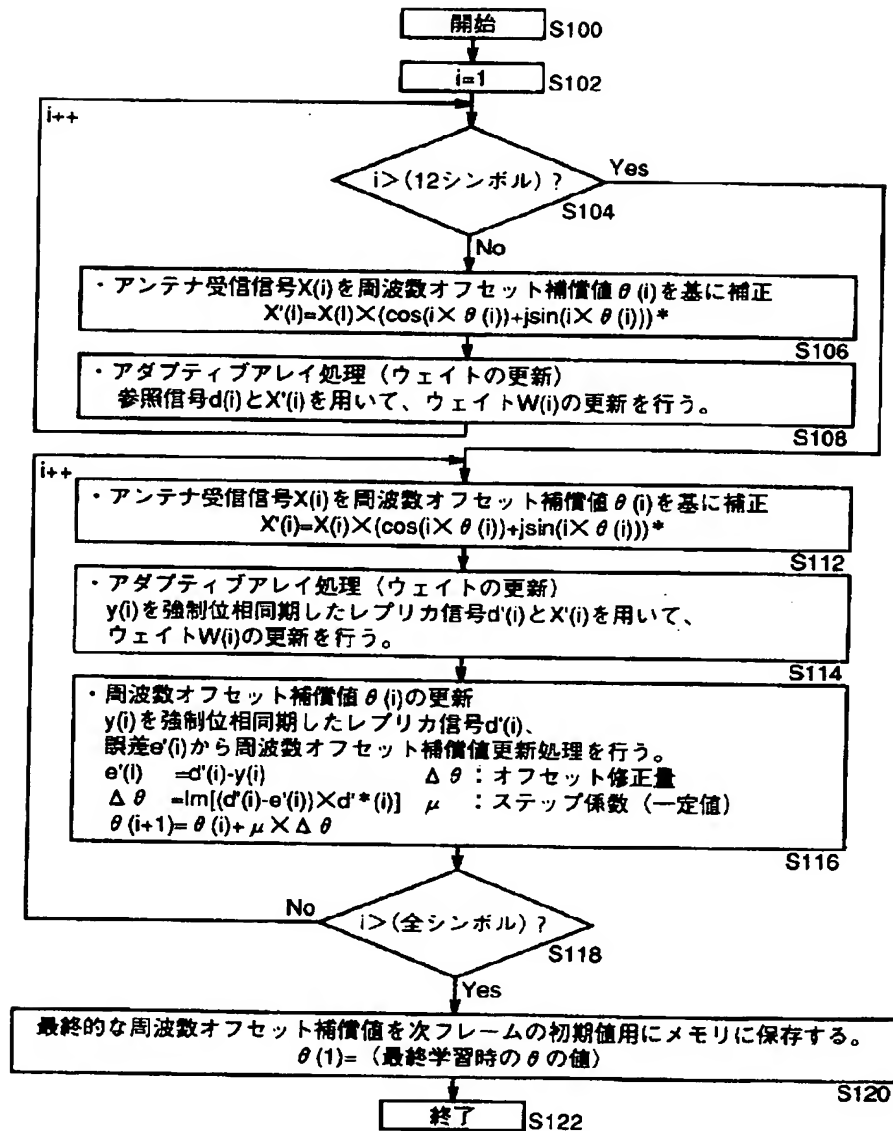
【図 6】



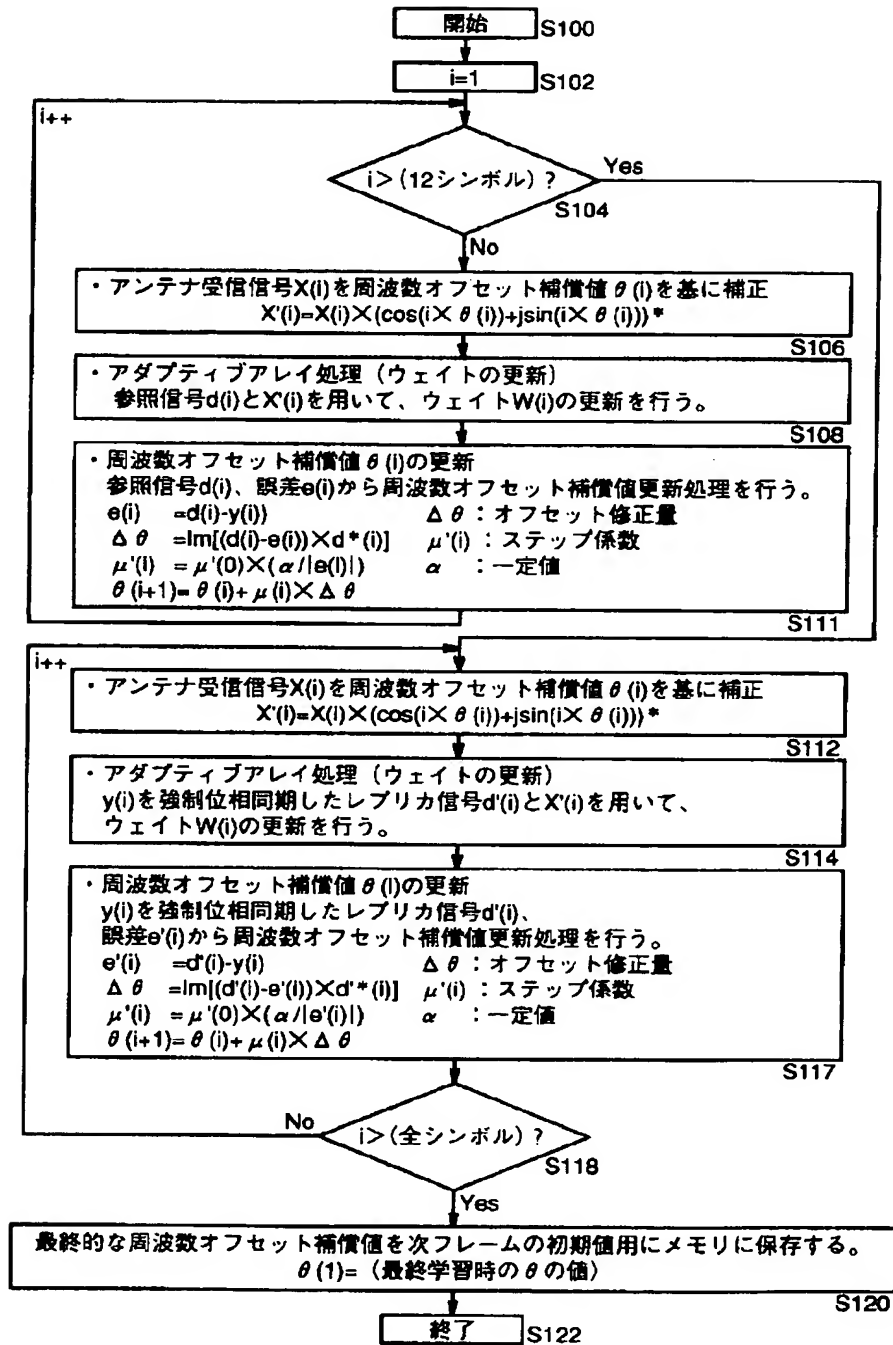
【図 8】



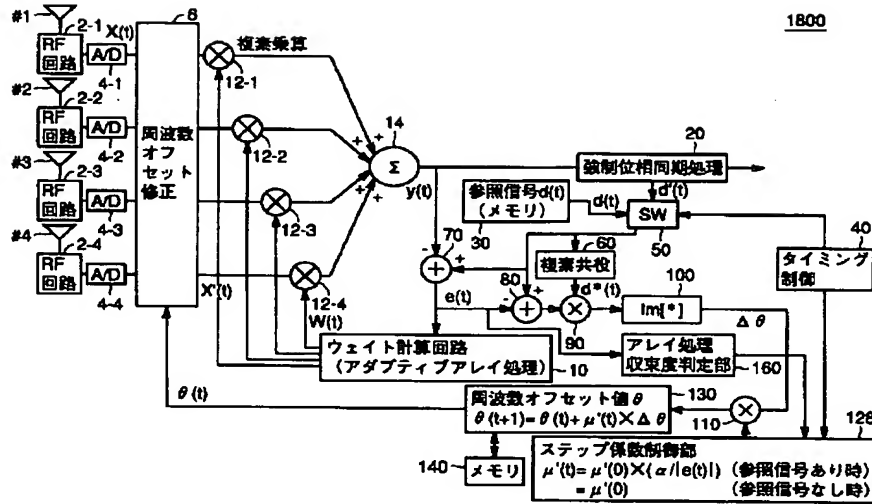
【図7】



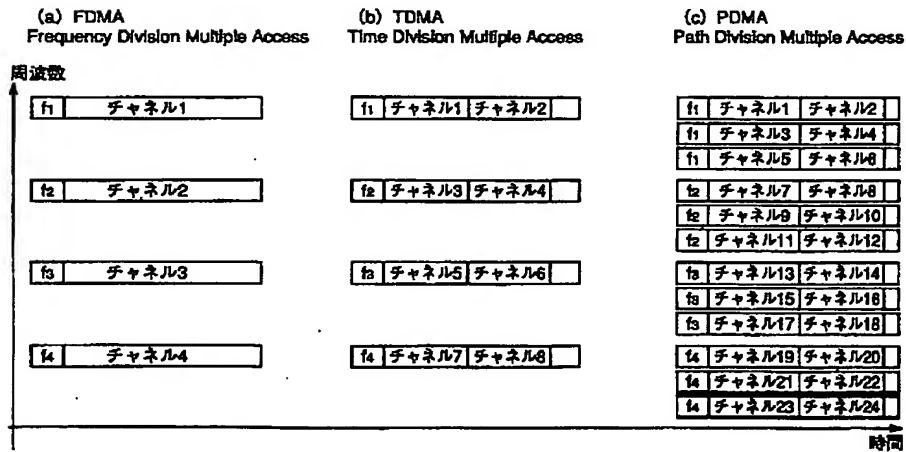
【図9】



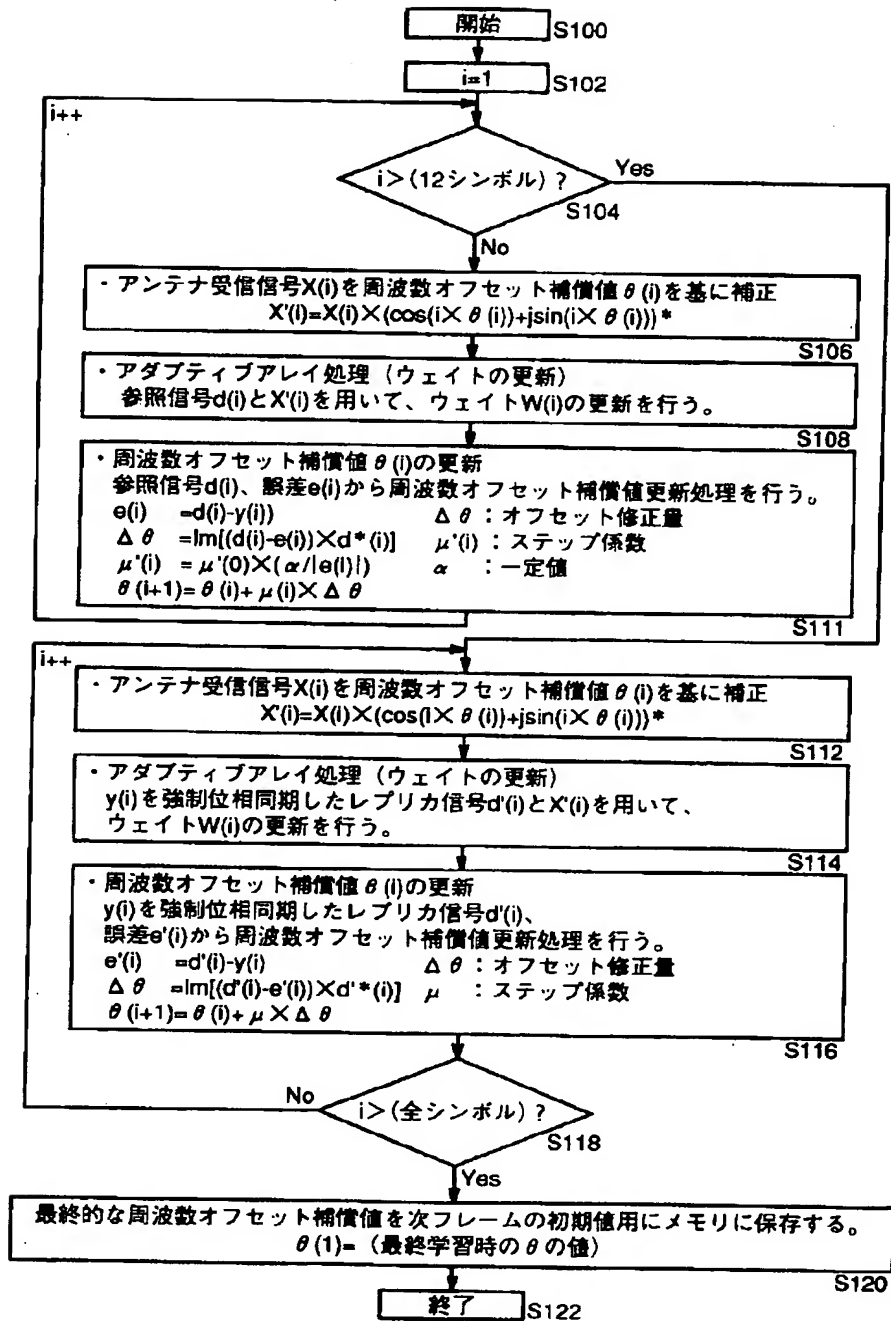
【図10】



【図12】

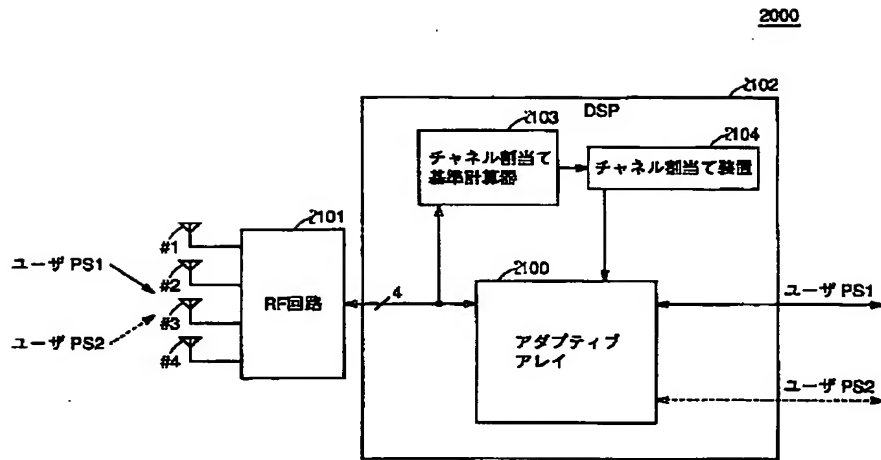


【図11】

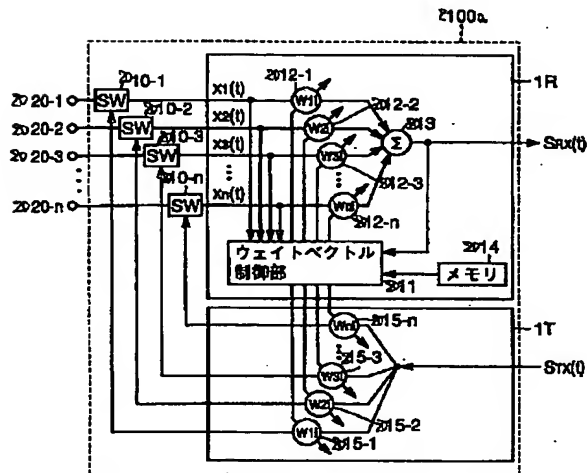




【図13】



【図14】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

H 0 4 J 15/00

H 0 4 L 27/34

27/22

識別記号

F I

H 0 4 J 15/00

H 0 4 L 27/00

27/22

テーマコード (参考)

E

D

Fターム(参考) 5J021 AA05 AA06 CA06 DB02 DB03  
DB04 EA04 FA17 FA20 FA24  
FA26 FA29 FA30 FA31 FA32  
GA02 HA05 HA10  
5K004 AA05 FA05 FG00 FJ17  
5K022 AA04 AA08 AA10 AA27 AA30  
FF02 FF04  
5K028 BB06 CC03 HH03 HH05 NN31  
5K059 AA08 BB08 CC04 DD32 DD35